

(51) Int. Cl. ⁷	識別記号	F I	テ-マコード (参考)
G06F 15/78	510	G06F 15/78	510 G 5B013
7/00		9/38	310 X 5B022
9/38	310	7/00	A 5B062

審査請求 未請求 請求項の数6 O L (全9頁)

(21) 出願番号 特願平10-273774

(22) 出願日 平成10年9月28日(1998.9.28)

(71) 出願人 595107944

株式会社ローラン

大阪市北区東天満1丁目4番16号 都市計画合同ビル2F

(72) 発明者 茂木 建二

大阪市北区東天満1丁目4番16号 株式会社ローラン内

(74) 代理人 100084375

弁理士 板谷 康夫

Fターム(参考) 5B013 AA18

5B022, AA01 AA07 BA00 FA03 FA10

FA11 FA12

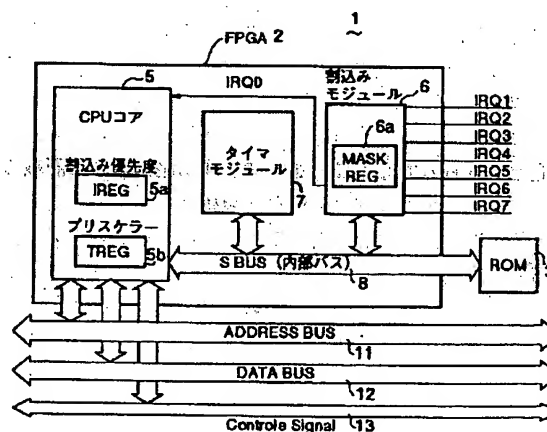
5B062 AA01 AA10 BB09 CC01 FF01

(54) 【発明の名称】 集積回路及び集積回路用のデータを記録した記録媒体

(57) 【要約】

【課題】 集積回路において、FPGAそのものにCPUコアの機能を持たせると共にユーザ回路等をも組み込むことにより、周辺回路チップ等の実装部品を少なくすることができ、低コスト化を図ることができるようにする。

【解決手段】 CPUコア、その周辺回路及びシステムバスはロジックデータとしてPROM3に記憶され、このロジックデータに基づいてFPGA2がCPUコア5、周辺回路6、7及びシステムバス8として機能するように構成する。これにより、PROM3に記憶させるロジックデータの内容によって、所望の機能を有するCPUコア5、周辺回路6、7及びシステムバス8を得ることができる。また、システムバス8に別個の回路を後付することが可能であるため、CPUコア5の機能を容易に追加・変更することができる。



BEST AVAILABLE COPY

【特許請求の範囲】

【請求項1】 フィールドプログラマブルゲートアレイ及び記憶装置を備えた集積回路において、CPUコア及びCPUコアに接続される周辺回路はロジックデータとして前記記憶装置に記憶され、この記憶装置に記憶された内容に基づいて、前記フィールドプログラマブルゲートアレイが前記CPUコア及び周辺回路として機能するように構成されていることを特徴とする集積回路。

【請求項2】 前記周辺回路にはシステムバスが含まれ、該システムバスに対してユーザが任意の回路を接続することが可能に構成されていることを特徴とする請求項1に記載の集積回路。

【請求項3】 前記CPUコアによる演算処理を、フェッチ、デコード、エグゼキューション、メモリ及びライトバックの各ステップに、1つのダミーのステップを組入れたものとし、かつ、フェッチ、デコードの順に実行される第1ステージと、エグゼキューション、メモリの順に実行される第2ステージと、ダミー、ライトバックの順に実行される第3ステージの3ステージに分け、第1、第2、第3ステージの順に実行し、1つのステージが終了する度に別個の演算処理を開始して、同時に異なる演算処理のステージが3段パイプライン構成での並列動作を行うことを特徴とする請求項1又は請求項2に記載の集積回路。

【請求項4】 フィールドプログラマブルゲートアレイ及び記憶装置からなる集積回路の記録装置に書き込まれるデータを有し、

該データは、フィールドプログラマブルゲートアレイがCPUコア及びCPUコアに接続される周辺回路として機能するためのロジックデータであることを特徴とするコンピュータ読み取り可能な記録媒体。

【請求項5】 前記周辺回路にはシステムバスを含み、このシステムバスに対してユーザが任意の回路を接続可能とするものであることを特徴とする請求項4に記載のコンピュータ読み取り可能な記録媒体。

【請求項6】 前記ロジックデータは、CPUコアによる演算処理を、フェッチ、デコード、エグゼキューション、メモリ及びライトバックの各ステップに、1つのダミーのステップを組入れたものとし、かつ、フェッチ、デコードの順に実行される第1ステージと、エグゼキューション、メモリの順に実行される第2ステージと、ダミー、ライトバックの順に実行される第3ステージの3ステージに分け、第1、第2、第3ステージの順に実行し、1つのステージが終了する度に別個の演算処理を開始して、同時に異なる演算処理のステージが3段パイプライン構成での並列動作を行うための構造を有することを特徴とする請求項4又は請求項5に記載のコンピュータ読み取り可能な記録媒体。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、集積回路に関し、特に、フィールドプログラマブルゲートアレイ(FPGA)をCPUコア及びその周辺機器として機能させるための技術に関するものである。

【0002】

【従来の技術】従来から、論理集積回路には、用途に応じて汎用論理ICと特定用途向けIC(ASIC)がある。その中でも、汎用論理ICは大量生産ができて低コストであり、マイクロプロセッサやプログラマブルロジックデバイス(PLD)などのようにユーザが手元で機能を完成させるものが含まれる。このPLDにはプログラマブルロジックアレイ(PLA)やFPGAなどがある。このFPGAは、基本論理回路で構成された論理モジュールと未接続の配線をチップに配置し、ユーザがプログラム素子を使って配線を完成させることで所望の機能を得るものである。ところで、マイクロプロセッサは、一般にCPUをLSIチップ上に集積した、システムLSIと称せられるものであって、論理回路や記憶回路の組み合わせとして実現されている。また、この種のマイクロプロセッサにおいて、命令処理を簡略化し、ハードウェアを簡素化することで高性能化を図ったRISC(リデュースド インストラクション セット コンピュータ)が知られている。

【0003】

【発明が解決しようとする課題】しかしながら、上記のような汎用のCPUコアを含むマイクロプロセッサは、予め規定の機能が組み込まれていて、その中でもユーザ側で通常使用する機能は一部に限られていて、特定の用途に使用するために所望の機能が得られるように変更することは困難である。また、従来、マイクロプロセッサは、CPUコアと多数のチップとで構成されていることから、実装部品が多く複雑な構成となり信頼性に欠けるという問題もあった。

【0004】本発明は、上述した問題点を解決するためになされたものであり、FPGAそのものにCPUコアの機能を持たせると共にユーザ回路等をも組み込むことにより、従来のCPUコアを用いることなく、ユーザ所望の機能を持たせたシステムLSIとすることができ、しかも、周辺回路チップ等の実装部品を少なくすることができ、低コスト化が図れるRISCプロセッサとしての集積回路を提供することを目的とする。

【0005】

【課題を解決するための手段】上記目的を達成するために請求項1に記載の発明は、フィールドプログラマブルゲートアレイ及び記憶装置を備えた集積回路であって、CPUコア及びCPUコアに接続される周辺回路はロジックデータとして記憶装置に記憶され、この記憶装置に記憶された内容に基づいて、フィールドプログラマブルゲートアレイがCPUコア及び周辺回路として機能する

ように構成されているものである。

【0006】上記構成においては、記憶装置にどのようなロジックデータを記憶させるかによって、CPUコア及び周辺回路の機能を自在に変えることができ、システムLSIの設計が容易となる。また、フィールドプログラマブルゲートアレイがCPUコア及び周辺回路として機能するので、集積回路に実装しなければならないチップの数が減少する。

【0007】また、請求項2に記載の発明は、請求項1に記載の集積回路であって、周辺回路にはシステムバスが含まれ、該システムバスに対してユーザが任意の回路を接続することが可能に構成されているものである。

【0008】上記構成においては、CPUコアに直接接続されたシステムバスに、ユーザが所望の回路を後付けすることによって、簡単にCPUコアの機能を追加・変更することが可能である。

【0009】また、請求項3に記載の発明は、請求項1又は請求項2の集積回路であって、CPUコアによる演算処理を、フェッチ、デコード、エグゼキューション、メモリ及びライトバックの各ステップに、1つのダミーのステップを組入れたものとし、かつ、フェッチ、デコードの順に実行される第1ステージと、エグゼキューション、メモリの順に実行される第2ステージと、ダミー、ライトバックの順に実行される第3ステージの3ステージに分け、第1、第2、第3ステージの順に実行し、1つのステージが終了する度に別個の演算処理を開始して、同時に異なる演算処理のステージが3段パイプライン構成での並列動作を行うものである。

【0010】上記構成においては、複数の演算処理の並列動作時に、フェッチサイクルとメモリサイクルとが同時に実行されることがなく、これら両サイクルが同一のメモリを競合するという事態が生じることがないので、キャッシュメモリを必要とすることなく並列処理を行うことができる。

【0011】また、請求項4に記載の発明は、コンピュータ読み取り可能な記録媒体であって、フィールドプログラマブルゲートアレイ及び記憶装置からなる集積回路の記録装置に書き込まれるデータを有し、該データは、フィールドプログラマブルゲートアレイがCPUコア及びCPUコアに接続される周辺回路として機能するためのロジックデータである。

【0012】上記構成においては、記録媒体のデータをコンピュータに読み取らせて、コンピュータ上においてフィールドプログラマブルゲートアレイをCPUコア及びその周辺回路として機能させるためのシステムLSIを設計することが容易に行えるようになり、請求項1に記載の発明の作用を得ることを支援することができる。

【0013】また、請求項5に記載の発明は、請求項4に記載のコンピュータ読み取り可能な記録媒体であって、周辺回路にはシステムバスを含み、このシステムバ

スに対してユーザが任意の回路を接続可能とするものであるものである。

【0014】上記構成においては、請求項4に記載の発明の作用に加えて、請求項2に記載の発明の作用を得ることを支援することができる。

【0015】また、請求項6に記載の発明は、請求項4又は請求項5に記載のコンピュータ読み取り可能な記録媒体であって、ロジックデータは、CPUコアによる演算処理を、フェッチ、デコード、エグゼキューション、メモリ及びライトバックの各ステップに、1つのダミーのステップを組入れたものとし、かつ、フェッチ、デコードの順に実行される第1ステージと、エグゼキューション、メモリの順に実行される第2ステージと、ダミー、ライトバックの順に実行される第3ステージの3ステージに分け、第1、第2、第3ステージの順に実行し、1つのステージが終了する度に別個の演算処理を開始して、同時に異なる演算処理のステージが3段パイプライン構成での並列動作を行うための構造を有するものである。

【0016】上記構成においては、請求項4又は請求項5に記載の発明の作用に加えて、請求項3に記載の発明の作用を得ることを支援することができる。

【0017】

【発明の実施の形態】以下、本発明の一実施形態に係る集積回路について図面を参照して説明する。図1に示すように、本発明に係る集積回路1は、FPGA（フィールドプログラマブルゲートアレイ）2とPROM3とを備えたRISCプロセッサであり、システムLSIを構築する。FPGA2の構成は、PROM3に記憶されているロジックデータに基づいて制御される。よって、FPGA2は、PROM3に書き込まれるロジックデータの如何に応じて種々の異なるロジック機能を発揮する。本実施形態では、FPGA2は、PROM3内のロジックデータによって、CPUコア（CPUコア）5、割り込みモジュール6、タイマモジュール7、及びCPUコア5に接続されるシステムバス（SBUS又は内部バス）8として機能するように構成されている。CPUコア5には、割り込み優先度を示すインデックスレジスタ（IREG）5a、及びブリスケラ（TREG）5bが備えられ、割り込みモジュール6には、マスクレジスタ6aが備えられている。CPUコア5は、システムバス8を介して割り込みモジュール6及びタイマモジュール7に接続されている。また、CPUコア5は、アドレスバス11、データバス12、コントロールバス13のそれぞれと接続し、PROM3との間でデータのやりとりが可能とされている。

【0018】上記システムバス8へのユーザによる任意の回路の接続について図2を参照して説明する。システムバス8に対しては、ユーザが所望の回路15を任意に接続することが可能である。図2はかかる場合のデータ

バスを示すものである。この回路15もロジックデータをPROM3に記憶させることで提供される。ここで示す実施形態では、ユーザの回路15は、XREG15a及びYREG15bに処理結果をラッチし、その結果の処理(リード動作)をCPUコア5に任せている。このようにシステムバス8を設けて、ユーザによる任意の回路15の接続を可能としたことによって、ユーザがCPUコア5の機能を簡単に追加することができることになる。そのため、従来ソフトウェアによるマルチプログラミング制御で多数の命令を使用してしか行うことができなかった処理を、CPUコア5の内部で高速に処理することができるようになる。なお、CPUコア5には、四則演算及び論理演算を行うALU51、及び命令やデータ等を一時的に収納しておくためのレジスタファイル52が備えられており、ALU51とレジスタファイル52との間にはバイパス回路53が設けられている(詳細は後述)。

【0019】上記PROM3に記憶させるロジックデータは、CAD等のツールを利用することにより簡単に作成することができる。例えば、CADによって所望の機能20を有する回路図を作成し、好みのCPUを構成する。そして、この回路図をデータ変換ソフトを用いてHDL(ハードウェア記述)言語に変換すれば、FPGAをCPUとして機能させるロジックデータを得ることができる。このロジックデータは、コンピュータで読み取り可能な形式の記憶媒体、例えば、フロッピーディスク、CD-ROM、DVD等に記憶させてユーザに提供する。ユーザはこの記憶媒体に格納されたデータをCADに読み取らせて、CAD上にてロジックデータを任意に変更し、または、CPUの周辺回路としてユーザ所望の回路30を追加することができる。こうして、記憶媒体は、ユーザにおけるシステムLSIの設計の容易化を支援することに貢献するものとなる。

【0020】次に、CPUコア5による演算処理について図3及び図4を参照して説明する。CPUコア5による演算処理は、3段パイプ構成のパイプライン制御で実行される。本実施形態では、1つの演算処理をフェッチ(F)、デコード(D)、エグゼキューション(E)、メモリ(M)及びライトバック(W)の各ステップに、1つのダミー(X)のステップを組入れた6つのステップからなるものとする。この演算処理を、図4に示すように、F、Dの順に実行される第1ステージと、E、Mの順に実行される第2ステージと、X、Wの順に実行される第3ステージの3ステージに分け、第1、第2、第3ステージの順に実行する。そして、図3に示すように、1つのステージが終了する度に新しい演算処理を開始していく。これによれば、{F、E、X}と{D、M、W}とが常に3段パイプで並列動作することになる。従って、フェッチサイクルとメモリサイクルとが同時に実行されることがなく、これら両サイクルが同一の

メモリを競合するという事態が生じない。

【0021】ここで、従来からある5段パイプ構成のパイプライン制御について図9を参照して説明する。従来の5段パイプ構成は、演算処理はフェッチ(F)、デコード(D)、エグゼキューション(E)、メモリ(M)及びライトバック(W)の5つのステップからなり、F、D、E、M、Wの順に各ステップを実行し、1つのステップが終了する度に新しい演算処理を開始する。以降は、複数の演算処理における各ステップを並列して実行していく。この制御によれば、図9に示すように、フェッチサイクルとメモリサイクルとを同時に実行するため、同一のメモリを競合することになる。そのため、プログラムキャッシュとデータキャッシュとからなるキャッシュメモリを搭載する必要がある。しかし、本発明は、上述したように、フェッチサイクルとメモリサイクルとが同一のメモリを競合するという事態が生じないため、キャッシュメモリを搭載する必要はなく、FPGAを効率よく利用することができる。

【0022】上記パイプライン制御における構造的ハザード及びデータハザードの解決法を図5及び図6を参照して説明する。上記パイプライン制御では、分岐アドレスの計算は、図5(a)に示すエグゼキューション

(E)で行われる。よって、分岐アドレスを得るためにストールさせなければならない。これを回避するために本パイプライン制御では、図5(b)に示すNOPを自動的に挿入するようにしている。また、本パイプライン制御では、図6(a)に示すようなストールの発生が予想される。よって、このストールを回避するために、CPUコア5内部のALU51(図2参照)とレジスタファイル52との間にバイパス回路53を設定する。ALU51にバイパス回路53を設定した場合の流れは図6(b)に示すものとなる。つまり、本パイプライン制御では、2サイクルで動作することになる。

【0023】図7及び図8を参照して上記パイプライン制御を具体的に説明する。図7に示すように、F、Dの第1ステージによりPCF(プログラムカウンタフェッチサイクル、図8で54)が実行されると、次はE、Mの第2ステージによりPCE(プログラムカウンタエグゼキューション、図8で55)が行われるが、この第2ステージの開始と同時に、次の新たな演算処理が開始され、その第1ステージ(F、D)でIRF(インストラクションレジスタフェッチサイクル、図8で57)が行われる。つまり、PCEとIRFが並列に処理される。そして、最初の演算処理の方でX、Wの第3ステージが開始されてPR(プログラムレジスタインタラプト、図8で56)が行われると、それと並行して、新たな演算処理の方では第2ステージ(E、M)が開始されてIRE(インストラクションレジスタエグゼキューション、図8で58)が行われる。すなわち、CPUコア5の第1ステージを実行する部分は、常にF、Dの処理のみを

7
次々に繰り返して実行し、第2ステージ、第3ステージ
を実行する部分についても同様である。なお、新たな演
算処理における第2ステージ(E, M)が終了すると、
第3ステージ(X, W)が開始されてIRW(インスト
ラクションレジスタライトバック、図8で59)が行わ
れる。

【0024】このように、本実施形態の集積回路1によ
れば、PROM3に記憶されたロジックデータの内容に
基づいて、FPGA2がCPUコア5及びその周辺回路
(割り込みモジュール6、タイマモジュール7、システ
ムバス8)として機能するので、FPGA2さえ備えて
いれば、CPUコア及び周辺回路のチップを搭載する必
要がなく、集積回路1の実装部品を減少させることが
できる。これにより、集積回路1の構成が簡単になり信頼
性が向上する。また、FPGA2において、CPUコア
5に接続されるシステムバス8を設けたので、ユーザは
このシステムバス8に対して、所望の機能を有した回路
を後付することができる。そのため、CPUコア5の機
能を追加・変更することが可能であり、ユーザは好みの
機能を有するCPUコアを含むシステムLSIを簡単に
構成することができる。

【0025】さらに、本実施形態の集積回路1によれ
ば、CPUコア5における演算処理は、3段構成による
パイプライン制御で行い、複数の演算処理の並列動作時
に、フェッチサイクルとメモリサイクルとが同時に実行
されることがないようにしたので、これら両サイクルが
同一のメモリを競合するという事態が生じることがな
い。そのため、キャッシュメモリの搭載が不要となり、
FPGA2を効率良く利用することができる。

【0026】なお、本発明は上記実施の形態の構成に限
られず種々の変形が可能である。例えば、上記実施の形
態では、CPUコア5の周辺回路が割り込みモジュール
6及びタイマモジュール7とされているが、これらのモ
ジュールに限定されるものではなく、他の回路であって
も構わない。

【0027】

【発明の効果】以上のように請求項1に記載の発明によ
れば、CPUコア及び周辺回路の機能の変更は、ロジッ
クデータの設定変更により自在に行うことができるの
で、所望の機能を有するCPUコアを含むシステムLSI
を容易に製造することができる。そのため、生産が中
止されたCPUコアと同等の機能を有するCPUコアを
製造することも容易であり、ユーザが所有するデータを
有効に活用することができる。また、CPUコアはロジ
ックデータで提供されることから、CPUコアを少量生
産することも可能であるため、従来のように大量生産し
かできないCPUコアよりも低コストで生産することが
できる。また、FPGAがCPUコア及び周辺回路とし
て機能するので、集積回路に実装しなければならないチ
ップの数を減少させることができ、構成が簡単になり信

頼性が向上する。

【0028】また、請求項2に記載の発明によれば、ユ
ーザが所望の回路をシステムバスに後付けすることによ
って、簡単にCPUコアの機能を追加・変更することが
できる。よって、CPUコアが好みの機能を発揮するよ
うに、ユーザが手軽にCPUコアの構成を操作すること
ができるようになる。また、従来ソフトウェアによるマ
ルチプログラミング制御で多数の命令を使用してしか行
うことができなかった処理を、CPUコアの機能を追加
・変更することによってCPUコア内部で高速に処理す
ることができるようになる。

【0029】また、請求項3に記載の発明によれば、複
数の演算処理を並列動作させるときであっても、フェッ
チサイクルとメモリサイクルとが同時に実行されること
がなく、これら両サイクルが同一のメモリを競合する
という事態が生じない。これにより、キャッシュメモリを
必要とすることなく並列動作が可能となるため、その分
コストを低減することができ、FPGAを効率良く使用
することができる。

【0030】また、請求項4乃至請求項6に記載の発明
によれば、記録媒体のデータをコンピュータに読み取ら
せて、コンピュータ上にて請求項1乃至請求項3に記載
の発明により得られる効果を奏するシステムLSIの設
計を支援することができる。

【図面の簡単な説明】

【図1】本発明の一実施形態に係る集積回路の構成を示
すブロック図である。

【図2】上記集積回路のCPUコアにユーザの回路を接
続した場合のデータバスを示す図である。

【図3】パイプライン制御における3段パイプの並列動
作を示す図である。

【図4】上記CPUコアの演算処理における3つのステ
ージを示す図である。

【図5】(a)は分岐アドレス取得のためにストールさ
れている流れを示す図、(b)は分岐遅延のNOP挿入
の流れを示す図である。

【図6】(a)はデータ依存のためにストールされてい
る流れを示す図、(b)はALUとレジスタファイルの
間にバイパス回路を設けた場合の流れを示す図である。

【図7】上記CPUコアの演算処理におけるパイプライン
制御のフローを示す図である。

【図8】上記CPUコアのデータバスを示す図である。

【図9】従来のパイプライン制御における5段パイプの
並列動作を示す図である。

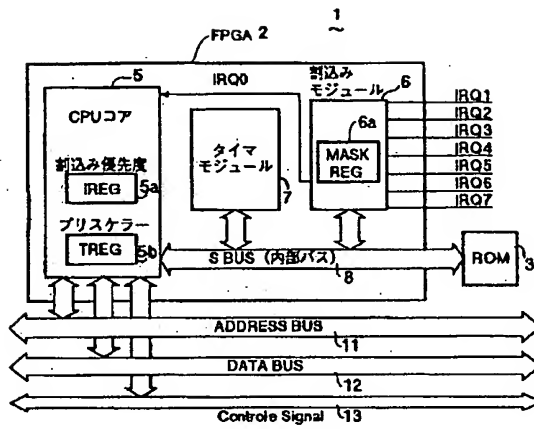
【符号の説明】

- 1 集積回路
- 2 FPGA (フィールドプログラマブルゲートアレ
イ)
- 3 PROM (記憶装置)
- 5 CPUコア (CPUコア)

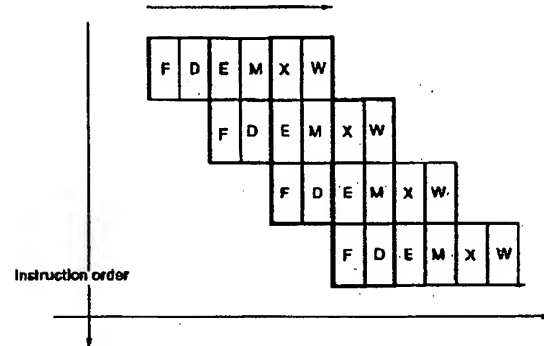
8 システムバス

15 回路 (ユーザが任意に選択した回路)

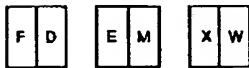
【図1】



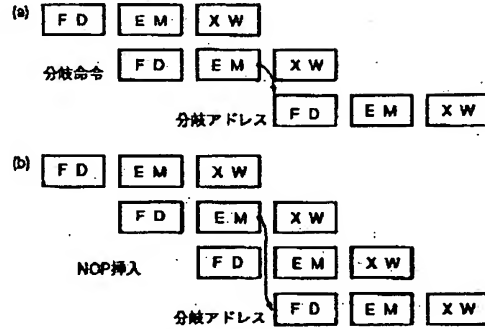
【図3】



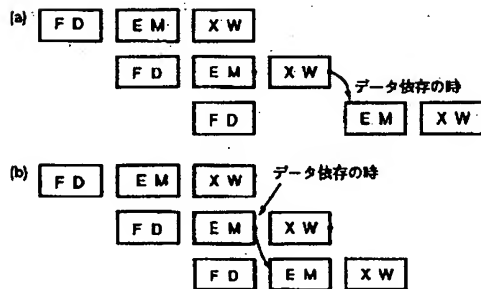
【図4】



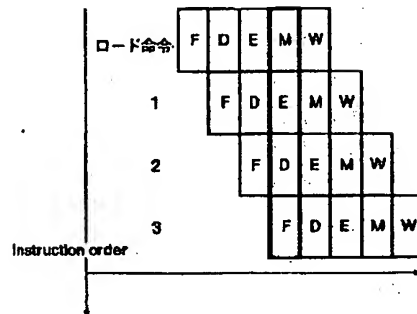
【図5】



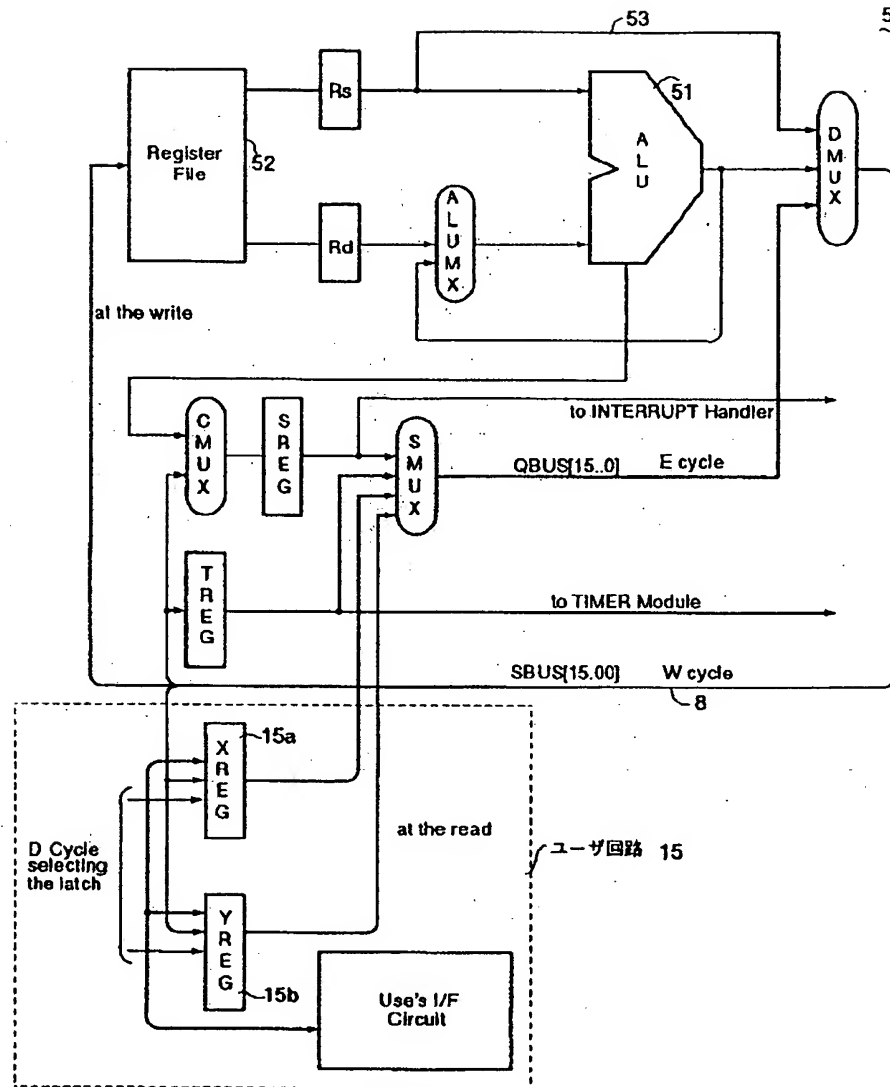
【図6】



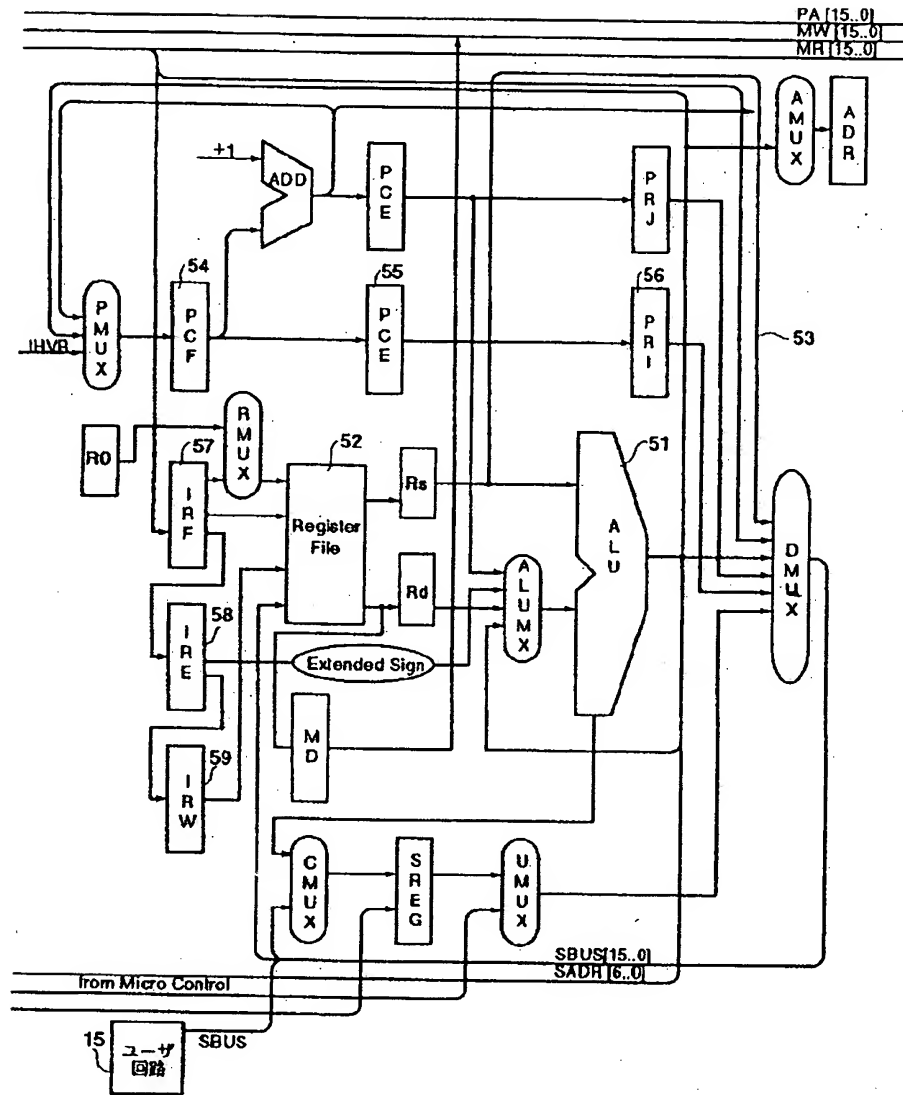
【図9】



【図2】



【图 8】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.